



TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application No.	10/669,161
Filing Date	October 31, 2003
First Named Inventor	Ihl-Ho Lee
Art Unit	
Examiner Name	
Total Number of Pages in This Submission	6
Attorney Docket Number	51876P407

ENCLOSURES (check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Response	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	<div>Request for Priority; return postcard</div>
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s)	
<input type="checkbox"/> PTO/SB/08		
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Basic Filing Fee		
<input type="checkbox"/> Declaration/POA		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN LLP
Signature	
Date	11/7/04

CERTIFICATE OF MAILING/TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Typed or printed name	Melissa Stead		
Signature		Date	1-13-04



FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

Complete if Known

Application Number	10/669,161
Filing Date	October 31, 2003
First Named Inventor	Ihl-Ho Lee
Examiner Name	
Group/Art Unit	
Attorney Docket No.	51876P407

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None
☒ Deposit Account

Deposit Account Number

02-2666

Deposit Account Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments
☒ Charge any additional fee(s) required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$)

2. EXTRA CLAIM FEES

Total Claims - 20 = X = Fee Paid
Independent Claims - 3 = X =
Multiple Dependent =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$)

**or number previously paid, if greater, For Reissues, see below

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920 *	1804	920 *	Requesting publication of SIR prior to Examiner action	
1805	1,840 *	1805	1,840 *	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

SUBMITTED BY

Name (Print/Type) Eric S. Hyman

Signature

Registration No.
(Attorney/Agent)

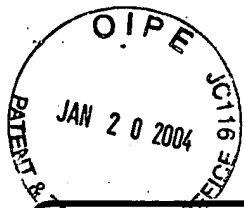
30,139

Telephone

(310) 207-3800

Date

1/9/04



FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

Complete if Known

Application Number	10/669,161
Filing Date	October 31, 2003
First Named Inventor	Ihl-Ho Lee
Examiner Name	
Group/Art Unit	
Attorney Docket No.	51876P407

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account

Deposit
Account
Number

02-2666

Deposit
Account
Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

- ☒ Charge fee(s) indicated below ☐ Credit any overpayments
☒ Charge any additional fee(s) required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$)

2. EXTRA CLAIM FEES

Total Claims - 20 = X = Fee Paid
Independent Claims - 3 = X = Fee Paid
Multiple Dependent

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$)

**or number previously paid, if greater. For Reissues, see below

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920	1804	920	* Requesting publication of SIR prior to Examiner action	
1805	1,840	1805	1,840	* Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	960	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	
Other fee (specify)					

* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

SUBMITTED BY

Name (Print/Type) Eric S. Hyman

Signature

Registration No.
(Attorney/Agent)

30,139

Telephone

(310) 207-3800

Date

1/9/04



DOCKET NO.: 51876P407

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

IHL-HO LEE

Application No.: 10/669,161

Filed: October 31, 2003

For: **memory device for rapid data access
from memory cell**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Applicant respectfully requests a convention priority for the above-captioned application,
namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2003-34306	29 May 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 1/9/04

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Melissa Stead
Melissa Stead

1-13-04
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0034306
Application Number

출원년월일 : 2003년 05월 29일
Date of Application MAY 29, 2003

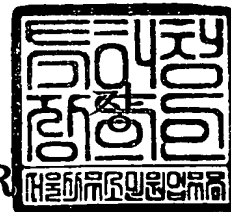
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.05.29
【발명의 명칭】	메모리 셀 데이터의 고속 액세스를 위한 메모리 장치
【발명의 영문명칭】	THE MEMORY DEVICE TO ACCESS RAPIDLY THE DATA OF THE MEMORY CELL
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이일호
【성명의 영문표기】	LEE, Ihn Ho
【주민등록번호】	690803-1683822
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 532-4
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	534,000 원

1020030034306

출력 일자: 2003/10/29

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 메모리 셀의 데이터 액세스(Access) 시간을 단축하고, 이를 통해 tRCD 스펙을 쉽게 만족시키기 위한 반도체 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은, 컬럼 방향에서 서로 이웃하는 단위메모리셀어레이블록들 사이에 배치된 센스앰프어레이블록을 갖는 반도체 메모리 장치에 있어서, 상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제1센스앰프구동전원라인; 상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제2센스앰프구동전원라인; 상기 센스앰프어레이블록내에 배치되며, 제1제어신호에 응답하여 상기 제1센스앰프구동전원라인을 국부적으로 다수군데에서 풀업 구동하는 복수의 제1NMOS트랜지스터; 및 상기 센스앰프어레이블록의 측면인 홀(HOLE) 내에 배치되며, 제2제어신호에 응답하여 상기 제2센스앰프구동라인을 풀다운 구동하는 제2NMOS트랜지스터를 포함하는 반도체 메모리 장치를 제공한다.

【대표도】

도 5a

【색인어】

센스앰프어레이블록, 홀(HOLE), 드라이버, 구동속도, 배치

【명세서】

【발명의 명칭】

메모리 셀 데이터의 고속 액세스를 위한 메모리 장치{THE MEMORY DEVICE TO ACCESS RAPIDLY THE DATA OF THE MEMORY CELL}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른, DRAM에서의 센스앰프 구동에 관련된 회로도.

도 2a 내지 도 2b는 다른 종래 기술에 따른, 두 단계 센스앰프 구동에 관련된 회로도.

도 3a 내지 도 3f는 센스앰프 구동전압의 드라이버 트랜지스터의 배치에 따른 개략적 블록도.

도 4a 및 도 4b는 상기 도 3에 따른 시뮬레이션 결과 타이밍도.

도 5a는 본 발명에 따른, 센스 앰프의 고속 동작을 위한 회로도.

도 5b는 도 5a의 동작 파형도.

도 5c는 도 5a의 레이아웃도.

* 도면의 주요 부분에 대한 부호의 설명

50 : 단위메모리셀어레이블록

51 : 센스앰프어레이블록

52 : 센스앰프어레이블록 내의 풀업 NMOS트랜지스터

53 : 홀(HOLE)

54 : 홀 내의 풀업 NMOS트랜지스터

55 : 홀 내의 풀다운 NMOS트랜지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 메모리 장치에 관한 것으로, 더욱 상세하게는 메모리 셀의 데이터 액세스(Access) 시간을 단축하기 위한 반도체 메모리 장치에 관한 것이다.
- <16> 잘 알려진 바와 같이, 메모리 셀의 데이터를 액세스 하기 위해서는 워드라인을 활성화시켜 메모리 셀의 데이터가 비트라인에 유입되도록 한 다음, 비트라인 센스앰프를 구동시켜 비트라인에 유입된 미세 전압을 증폭하는 과정이 필요하다.
- <17> 상기의 과정 중에서, 센스앰프의 성능에 따라서 한쌍의 비트라인(BL, /BL)의 전압레벨의 차이를 감지 증폭하는 속도를 보다 빠르게 할 수 있다. 센스앰프가 보다 빠르게 비트라인 쌍의 전압 레벨을 증폭시키면, 메모리 셀의 액세스 시간이 줄어든다.
- <18> 도 1은 미국특허 5293559에 개시된 종래기술에 따른 센스앰프 드라이버의 배치를 나타낸다.
- <19> 도 1a는 1M DRAM에서의 센스앰프 구동에 관련된 회로도 이다.
- <20> 도 1a를 참조하면, 크게 메모리 셀 어레이 영역(Memory Cell Array Area)(11)과 주변회로 영역(Peripheral Area)(10)으로 나눌 수 있다. 메모리 셀 어레이 영역(11)에는 메모리 셀들

이외에 다수개의 메모리 셀 센싱 블록(111)(112)을 포함한다. 주변회로 영역(10)에는 셀 센싱 블록(111)(112)에 구동전압 V_{cc} 와 구동전압 V_{ss} 를 공급하기 위한 풀업 드라이버(101) 및 풀다운 드라이버(102)가 배치되어 있다. V_{cc} 패드 및 V_{ss} 패드에 연결된 내부 전원선에는 기생저항 R_1, R_2, R_3, R_4 가 존재한다.

<21> 도 1a의 특징을 살펴보면, 풀업 드라이버(101)와 풀다운 드라이버(102)가 주변회로 영역(10)에 위치한다. 따라서, 상기 드라이버(101)(102)는 다수의 센싱 블록(111)(112)에 충분한 구동전압을 인가하기 위해 큰 사이즈의 트랜지스터가 사용되어야 한다.

<22> 또한, 주변회로 영역(10)에 드라이버(101)(102)가 위치하므로 셀 어레이 영역의 배선저항($R_{3,4}$)이 크다.

<23> 도 1b는 4M DRAM에서의 센스앰프 구동에 관련된 회로도 이다.

<24> 도 1b를 참조하면, 크게 메모리 셀 어레이 영역(13)과 주변회로 영역(12)으로 나눌 수 있다.

<25> 도 1b를 도1a에 비교하여 보면, 전체적 구성은 유사하지만, 도 1a에서 주변회로 영역(10)의 풀다운 드라이버(102)를 도1b에선 메모리 셀 어레이 영역(13)내 에 배치한 점이 크게 다르다. 또한, 메모리 셀 센싱 블록(132) 하나에 작은 크기의 풀다운 드라이버(133)를 하나씩 각각 배치한 점이 다르다.

<26> 이러한 개선을 통해, 배선저항(R_6)를 줄일 수 있었다. 그러나 드라이버(133)에 연결된 파워라인이 단일 경로이기 때문에 배선 저항(R_5, R_7, R_8)을 줄이는데는 한계가 있다.

<27> 도 1c는 16M DRAM에서의 센스앰프 구동에 관련된 회로도 이다.

- <28> 도 1c를 참조하면, 단위 메모리 셀 어레이 블록들(14) 사이사이에 위치하는 센스앰프 어레이(Sense Amplifier Array)(15), 홀(HOLE) 내의 풀업 드라이버(16) 및 홀 내의 풀다운 드라이버(17)로 구성된다.
- <29> 홀은 센스앰프 어레이(15) 사이와, 서브 워드라인 드라이버 사이의 사각 공간으로서 이 속에 센스앰프 동작에 필요한 드라이버들을 설치할 수가 있다.
- <30> 앞의 도면 1a와 1b와 비교해 보면, 가장 큰 차이점은 드라이버(16)(17)가 모두 주변회로 영역(도1a- 10, 도1b-12)에 있었던 것에 비해, 도 1c에서는 메모리 셀 어레이 영역안에서의 배치 되었다는 것이다. 드라이버(16)(17)가 각각의 홀 내에 배치됨으로써, 센스앰프 어레이(15)와 드라이버(16)(17)사이의 저항이 상당히 감소하는 효과를 갖게됐다.
- <31> 그러나, 이러한 배치는 한정적인 개수의 홀 내에만 가능하므로, 전체적 저항을 줄이는데는 한계가 있게 된다.
- <32> 도 2는 미국특허 5325336에 개시된 다른 종래기술에 따른 센스앰프 구동관련 구성도이다.
- <33> 도 2a는 두 단계 센스앰프 구동에 관련된 회로도이다.
- <34> 도 1c와 유사한 구조로서, 도 2a는 단위 메모리 셀 어레이 블록(MAT)(210), 센스앰프 어레이(211), 홀 내의 드라이버(213)(214)(215)를 갖는다. 차이점은 풀다운 드라이버(214)(215)가 두개이며, 각각이 차등의 전류 공급능력을 갖는다는 것이다. 풀다운 드라이버(214)는 적은 전류 공급능력을, 풀다운 드라이버(215)는 큰 전류 공급능력을 갖는다. 또한, 풀다운 드라이버(214)의 게이트에는 제어신호 S0가 연결되어 있고, 풀다운 드라이버(215)의 게이트에는 제어신호 S0F가 연결되어 있어, 서로 다른 타이밍에서 인에이블 된다.

- <35> 즉, 메모리 셀의 데이터가 비트라인에 미세한 전압으로 유입된 이후 신호 S0F를 활성화 시켜 풀다운 드라이버(214)를 통해, 비트라인 쌍(BL, /BL) 사이의 전압 차이가 일정정도가 되도록 한 다음 신호 S0를 활성화 시켜 비트라인 쌍(BL, /BL)의 전압을 빠르게 증폭시킨다.
- <36> 도2a에 개시된 종래기술의 목적은 풀다운 드라이버를 두개로 나눠서, 두단계의 증폭을 통해 비트라인의 전압이 보다 빠르게 증폭되도록 하는 것이다.
- <37> 도 2b는 작은 드라이버를 사용한 두단계 센스앰프 구동에 관련된 회로도이다.
- <38> 도 2a에 비교해 볼때 도 2b는 풀업 드라이버(222)와 풀다운 드라이버(223)가 센스앰프 두개당 하나씩 배치되도록 복수개로 쪼개져서 센스앰프 어레이(221)내에 들어갔다는 점이 큰 차이점이다. 풀다운 드라이버(224)은 홀에 위치한다.
- <39> 드라이버(222)(223)의 센스앰프 어레이(221)내 배치는 도2a에서 보다 적은 저항특성을 갖게되므로, 센스앰프 구동 전압이 충분하게 공급되어 메모리 셀의 액세스 시간을 보다 빠르게 할 수 있다. 참조번호 "225"는 이퀄라이징 회로부이다.

【발명이 이루고자 하는 기술적 과제】

- <40> 소자의 고집적화에 따라, 메모리 어레이(Array) 위를 덮고 있는 금속층(Metal Layer)의 폭이 감소하고, 즉 금속 배선의 저항이 커지게 된다. 이로인해 액세스의 동작 속도가 저하되어, 액티브 명령 입력 이후 비트라인 쌍의 전압레벨차가 충분히 증폭될 때까지의 시간 tRCD 스펙(Specification)을 반도체 메모리 장치가 만족하기가 어려워 진다.

- <41> 따라서, 앞서 살펴본 바와 같이 데이터 액세스 속도를 개선하기 위하여 센스앰프 드라이버의 배치 및 구동 방법들이 제안되고 있다. 특히 도2a 및 도2b에 개시된 종래 기술을 고집적 소자의 데이터 액세스 시간을 단축하는데 큰 장점이 있다.
- <42> 그러나, 센스앰프 2개당 한개씩의 풀업 드라이버(222)와 풀다운 드라이버(223)가 각각 배치되어 있기 때문에 면적면에서 큰 부담이 된다. 메모리의 전체 면적에 있어서, 센스앰프가 차지하는 면적의 비중이 큰 점을 고려하여 볼 때, 상기의 문제점은 곧 생산비용의 부담으로 연결되어 진다.
- <43> 또한, 센스앰프는 PMOS와 NMOS의 래치(Latch)로 이루어져 있으며, PMOS와 NMOS면적의 비율은 통상적으로 2:1로 설계한다. 이는 PMOS와 NMOS의 동작속도의 차이 때문으로, PMOS의 늦은 동작으로 인해서 비트라인의 전압을 증폭시키는 시간 자체가 늦어질 수 있다. 풀업 드라이버(213)는 이러한 PMOS의 다소 떨어지는 동작 속도를 보상해 줄 있다. 그러나 풀업 드라이버(213)가 홀이라는 한정적 공간에 위치하므로, 원하는 만큼의 크기를 설계 할 수 없다.
- <44> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 고집적 소자에 대응하여 면적의 부담이 적으면서도 메모리 셀의 데이터 액세스(Access) 시간을 단축하기 위한 반도체 메모리 장치를 제공하는데 목적이 있다.

【발명의 구성 및 작용】

- <45> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른 반도체 메모리 장치는, 컬럼 방향에서 서로 이웃하는 단위메모리셀어레이블록들 사이에 배치된 센스앰프어레이블록을 갖는 반도체 메모리 장치에 있어서, 상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되

어 형성된 제1센스앰프구동전원라인; 상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제2센스앰프구동전원라인; 상기 센스앰프어레이블록내에 배치되며, 제1제어신호에 응답하여 상기 제1센스앰프구동전원라인을 국부적으로 다수군데에서 풀업 구동하는 복수의 제1NMOS트랜지스터 ; 및 상기 센스앰프어레이블록의 측면인 홀(HOLE) 내에 배치되며, 제2제어신호에 응답하여 상기 제2센스앰프구동라인을 풀다운 구동하는 제2NMOS트랜지스터를 포함하는 것을 특징으로 한다.

<46> 이와같이, 일측면에 따른 본 발명은 센스앰프어레이블록 내에 풀업드라이버(제1NMOS트랜지스터)를 복수개 배치시키고, 풀다운 드라이버(제2NMOS트랜지스터)는 홀 지역에 배치함으로써, 한정된 센스앰프어레이블록 지역에 풀업 드라이버만 있기 때문에 고집적소자의 면적부담을 덜게 된다. 또한 풀업드라이버가 PMOS가 아닌 NMOS로 구성되기 때문에 NMOS드라이버의 사이즈를 감안하면 면적면에서 더욱 유리하게 된다. 아울러, 제한된 크기의 홀 지역에 배치된 작은 사이즈의 풀다운 드라이버는 생략할 수 있으므로, 고정된 홀 면적(센스앰프어레이와 서브 워드라인 드라이버의 사이즈에 의해 고정됨)에 다른 취약한 회로를 보강할 수 있어 유리하다.

<47> 또한, 본 발명의 타 측면에 따른 반도체 메모리 장치는, 컬럼 방향에서 서로 이웃하는 단위메모리셀어레이블록들 사이엔 배치된 센스앰프어레이블록을 갖는 반도체 메모리 장치에 있어서, 상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제1센스앰프구동전원라인; 상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제2센스앰프구동전원라인; 상기 센스앰프어레이블록내에 배치되며, 제2제어신호에 응답하여 상기 제1센스앰프구동전원라인을 국부적으로 다수군데에서 풀업구동하는 복수의 제1NMOS트랜지스터; 및 상기 센스앰프어레이블록내에 배치되며, 제2제어신호에 응답하여 상기 제2센스앰프구동전원라인을 국

부적으로 다수군데에서 풀다운 구동하는 복수의 제2NMOS트랜지스터를 포함하는 것을 특징으로 한다.

<48> 이와같이, 타 측면에 따른 본 발명은 센스앰프어레이블록 내에 풀업드라이버(제1NMOS트랜지스터)와 풀다운 드라이버(제2NMOS트랜지스터)를 복수개 배치되는 구성을 가지는바, 풀업드라이버가 PMOS가 아닌 NMOS로 구성되기 때문에 NMOS드라이버의 사이즈를 감안하면 면적면에서 유리하게 된다. 아울러, 제한된 크기의 홀 지역에 배치된 작은 사이즈의 풀업 및 풀다운 드라이버는 생략할 수 있으므로, 고정된 홀 면적(센스앰프어레이와 서브 워드라인 드라이버의 사이즈에 의해 고정됨)에 다른 취약한 회로를 보장할 수 있어 유리하다.

<49> 그리고, 이후에도 상세히 설명되겠지만, 본발명은 데이터 액세스 속도가 좋다.

<50> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<51> 동일한 배치 및 선폭의 Vcc와 Vss 파워라인을 갖더라도, 센싱용 드라이버의 배치에 따라 센스앰프의 동작 성능이 달라진다. 이하의 설명에서는 동일한 파워라인 배치 및 선폭에서 드라이버의 배치 관계에 따른 데이터 액세스 시간을 살펴 볼 것이다.

<52> 도 3은 메모리 장치 내에 센스앰프 드라이버가 배치된 다양한 경우를 보여주는 개략적 블록도이다.

<53> 도3a를 참조하면, 메모리 장치는 단위메모리셀어레이블록(31), 센스앰프어레이블록(30) 및 홀(32)로 크게 나뉜다. 또한, 개략적 블록도에 사용된 도형으로, 하얀 동그라미는 PMOS트

랜지스터를, 검정 동그라미는 NMOS트랜지스터를 의미한다. 동그라미의 크기는 트랜지스터의 사이즈를 의미한다. 도3b 내지 도3f에서 동일하게 적용된다.

<54> 도 3a는 도 1c에 대응하는 개략적 블록도로써, 가장 널리 사용되고 있는 종래 기술의 센스앰프 배치이다.

<55> 센스앰프어레이블록(30)의 구동전원 RT0라인을 풀업 구동하기 위해 홀(32)내에 단일의 PMOS트랜지스터(1a)를, 센스앰프어레이블록(30)의 구동전원 SB라인을 풀다운 구동하기 위해 홀(32)내에 단일의 NMOS트랜지스터(2a)를 배치했다. PMOS(1a) 및 NMOS트랜지스터(2a)의 사이즈는 구동전원 RT0라인 및 구동전원 SB라인의 저항성분에 대응하는 구동능력을 갖도록 크게 형성되어야 한다.

<56> 도 3b는 본 발명의 제1실시예에 따른 드라이버 배치 구성도이다.

<57> 센스앰프어레이블록(30)의 구동전원 RT0라인을 풀업 구동하기 위해 센스앰프어레이블록(30) 내에 복수의 NMOS트랜지스터(1b)와 홀(32)내에 단일의 NMOS트랜지스터 (3b)를 배치하고, 센스앰프어레이블록(30)의 구동전원 SB라인을 풀다운 구동하기 위해 홀(32)내에 단일의 NMOS트랜지스터(2b)를 배치했다. 홀(32)내 NMOS트랜지스터(2b)의 사이즈는 구동전원 SB라인의 저항성분에 대응하는 구동능력을 갖으며, NMOS트랜지스터(1b)(3b)의 사이즈는 홀(32)내에 배치된 NMOS트랜지스터(2b) 보다 상대적으로 작다.

<58> 센스앰프어레이블록(30) 내에 복수의 트랜지스터(1b)를 배치된 상태에서, 추가적으로 홀(32)에 배치된 트랜지스터(3b)는 생략 가능 바, 이는 복수의 트랜지스터(1b) 보다 사이즈가 상대적으로 작아서 센스앰프의 구동속도에 미치는 영향이 미미하기 때문이다.

- <59> 도 3c는 본 발명의 제2실시예에 따른 드라이버 배치 구성도이다. 센스앰프어레이블록(30)의 구동전원 RT0라인을 풀업 구동하기 위해 센스앰프어레이블록 내(30)에 복수개의 NMOS트랜지스터(1c)와 홀(32)내에 NMOS트랜지스터(3c)를 배치하고, 센스앰프어레이블록(30)의 구동전원 SB라인을 풀다운 구동하기 위해 센스앰프어레이블록(30)내에 복수의 NMOS트랜지스터(2c)와 홀(32)내에 단일의 NMOS트랜지스터(4c)를 배치했다.
- <60> 도 3d 내지 도3f는 본 발명의 제1실시예와 제2실시예 이외의 드라이버 배치관계를 나타낸 것으로, 도3d 내지 도3f는 면적면에서 유리하나 데이터 액세스 속도에서 떨어진다.
- <61> 다음은 도3를 통해 예시한 각 경우의 센스앰프의 동작 속도를 비교한 시뮬레이션 결과로써, 비트라인 쌍의 전압 레벨 차이를 시간에 따라 표기한 도면이다.
- <62> 도 4는 도 3에 따른 시뮬레이션 결과 타이밍도이다.
- <63> 도 4a를 참조하면, 'A'는 도1c를 단순화 한 경우이며, 'B'는 도3b를 단순화 한 경우이며, 'C'는 도3a를 단순화 한 경우이다. 또한 'D', 'E' 및 'F'는 각 도3d 내지 도3f를 단순화 한 경우이다.
- <64> 도 4a은 데이터 논리값 "H"일때, 상기 도3에 예시된 각 경우의 시뮬레이션 결과 타이밍도이다.
- <65> Y축은 ΔBL 로써, 비트라인 쌍(BL, /BL) 사이의 전압 레벨 차이를 의미한다. 단위는 VOLTAGE이며, 스케일은 0.1V이다.
- <66> X축은 시간축이다. 단위는 ns이며, 스케일은 1ns이다.

- <67> 도3b의 경우('B')가 모든 시간대에서 비트라인 쌍의 전압 레벨차를 가장 크고 빠르게 증폭했다. 도3에 예시된 모든 경우보다 도3b의 경우('B') 센스앰프의 동작속도가 가장 빠름을 알 수 있다.
- <68> 도3c('C')와 제1종래 기술에 따른 도1c의 'A' 비교하여 보면, 앞쪽 시간대에서는 'A'가 빠른 증폭을 하고 있고, 뒷쪽 시간대에서는 'C'가 빠른 증폭을 하고 있음을 확인할 수 있다. 그러나 'A'와 'C' 중 어느 하나가 더 좋다고 말할 수 없다. 이는 CAS신호가 입력되는 시점에 따라 달라지기 때문이다.
- <69> 도 4b는 데이터 논리값 "L"일때, 상기 도3의 각 경우에 따른 시뮬레이션 결과 타이밍도이다.
- <70> 도 4a에서와 동일 축과 스케일을 갖고 있다.
- <71> 메모리 셀의 데이터가 논리값 "L"를 갖을 경우에도 'B'가 모든 시간대에서 비트라인 쌍의 전압 레벨차를 가장 크고 빠르게 증폭했다. 다음으로는 'C'가 비트라인 쌍의 전압레벨차를 가장 크고 빠르게 증폭했다.
- <72> 즉, 메모리 셀의 데이터의 논리값에 관계없이, 도3b의 'B'가 도3b를 제외한 다른 경우보다, 모든 시간대에서 고속의 센스앰프 동작을 갖음을 알 수 있다.
- <73> 그리고 도3c('C')의 경우에도 카스(CAS)신호의 입력 시점에 따라 빠른 데이터 액세스 속도를 갖는다.
- <74> 도 5a는 도3b를 구체적으로 예시한 회로도이다.
- <75> 도 5a를 참조하면, 본 발명의 제1실시예에 따른 메모리 장치는 단위메모리셀어레이블록(50)과, 센스앰프어레이블록(51) 및 홀(53)로 나눌 수 있다.

- <76> 단위메모리셀어레이블록(50)은 입력되는 로우 어드레스에 의해 활성화 되는 다수의 단위 메모리셀(501)들로 이루어 진다. 단위메모리셀(501)들은 각각 한쌍(BL, /BL)의 비트라인을 갖는다. 센스앰프어레이블록(51)은 메모리셀의 데이터가 비트라인에 인가됐을 때 비트라인에 유입된 미소 전압을 증폭시키기 위한 다수의 센스앰프(510)들과, 센스앰프어레이블록(51)에 구동전원을 전달시키기 위한 구동전원 RTO라인 및 SB라인과, 구동전원 RTO라인을 풀업 구동하기 위한 다수의 NMOS트랜지스터(52)로 구성된다.
- <77> 홀(53)내에는 센스앰프(510)가 활성화 되기 이전까지 센스앰프의 구동전원 RTO와 SB라인을 프리차지전압레벨로 유지시키기 위한 이퀄라이저(530)와 센스앰프어레이블록의 구동전원 RTO라인을 풀업구동하기 위한 NMOS트랜지스터(54)와 센스앰프어레이블록의 구동전원 SB라인을 풀다운 구동하기 위한 NMOS트랜지스터(55)이 배치된다. 또한, 전원라인 Vcc와 Vss가 있다.
- <78> 또한, NMOS(52) 및 NMOS 트랜지스터(54)는 신호 SAU_En을 게이트 입력으로 갖으며, NMOS 트랜지스터(55)는 신호 SAD_En을 게이트 입력으로 갖는다.
- <79> NMOS트랜지스터(54)는 NMOS트랜지스터(52)와 동일한 게이트 입력 신호 SAU_En를 갖으며, 동일한 RTO의 풀업 역할을 한다. 그러나 NMOS트랜지스터(54)의 사이즈는 NMOS트랜지스터(52)보다 매우 작기 때문에, NMOS트랜지스터(54) 자체에 의한 센스앰프의 동작속도의 변화는 크지 않다. 그러므로 생략 가능하다.
- <80> 도 5b는 액티브 신호인가에 따른 도 5a의 동작파형도이다.
- <81> 외부 명령어 입력으로 액티브 명령어가 발생된다. 액티브 명령어 신호에 의해서 EQ신호가 비활성화 된다. 이전 EQ신호가 활성화 되었을 때, 이퀄라이저(530)는 센스앰프어레이블록(51)의 구동전압 라인 RTO와 SB를 동일한 프리차지 전압으로 유지한다. 이후 액티브 명령어 신

호에 의해서 EQ신호가 비활성화 되면, 구동전압 라인 RT0와 SB가 고립된다. 이어서 로우 어드레스에 의해 선택된 단위메모리셀어레이블록(50)을 액세스 하기 위해 워드라인이 활성화 된다. 워드라인의 활성화로 선택된 단위메모리셀어레이블록(50) 내 다수개의 단위메모리셀(501)의 데이터가 비트라인에 유입된다. 이에 의해 비트라인 쌍에는 미세한 전압 레벨 차이가 생긴다. 이후 트랜지스터(52)(54)(55)를 구동 시키기 위한 입력신호 SAU_En(Sense Amp Pull Up Enable)과 SAD_En(Sense Amp Pull Down Enable)이 활성화 된다. SAU_En과 SAD_En신호의 활성화에 의해, 트랜지스터(52)(54)(55)가 구동되면 외부 전원라인의 전압Vcc와 Vss가 센스앰프어레이블록(51)의 구동전원 RT0라인과 SB라인에 인가된다. 센스앰프어레이블록(51)이 구동됨에 따라 비트라인 쌍의 전압차가 감지되어 증폭된다.

<82> 이후 프리차지 명령어(PCG)가 인가되고, 이로 인해서 워드라인과 트랜지스터 입력 신호 SAU_En과 SAD_En이 비활성화 되고, 이퀄라이저(530) 입력신호 EQ가 활성화 된다.

<83> 액티브 신호 인가 이후 비트라인 쌍의 전압 레벨이 충분히 증폭될 때까지의 시간을 tRCD 라고 한다.

<84> 본 발명에서와 같이 센스앰프 구동전원 RT0라인에 외부전압Vcc를 인가해 주는 NMOS트랜지스터(52)를 센스앰프어레이블록(51)내 에 복수개 배치시키므로써, 메모리 셀의 액세스 시간을 단축시킬 수 있다. 이는 외부전원라인 Vcc와 센스앰프(510) 사이의 배선 저항이 줄어들어 센스앰프(510) 구동시 충분한 양의 파워가 공급되기 때문이다. 충분한 양의 파워가 공급되면, 비트라인 쌍의 전압 레벨 차이를 빠르게 증폭할 수 있게 된다. 즉, 센스앰프(510)의 동작속도가 빨라졌음을 의미한다. 또한, 이러한 배치는 센스앰프 래치의 NMOS 부분에 비해 떨어지는 PMOS 부분의 구동속도를 보완해 주어 센스앰프(510)의 동작속도를 향상시킨다. 상기와 같은 이유로 인해 메모리의 셀을 액세스 하는데 걸리는 시간이 단축할 수 있게됐다.

- <85> 또한, 센스앰프(510) 동작속도의 향상으로 액티브 신호 인가이후 비트라인 쌍의 전압레벨이 충분히 증폭될 때까지의 CAS신호가 입력될 때 까지의 시간적 여유가 생기므로, 이전보다 쉽게 tRCD SPEC을 맞출 수 있게 됐다.
- <86> 또한, 도 2b에서는 풀업 드라이버(222)를 PMOS로 구현했으나 본 발명에서는 NMOS트랜지스터(52)로 하고, 풀다운 드라이버(223)를 센스앰프어레이 블록(31)내에 배치하지 않으므로써, 면적면에서 보다 좋아졌음을 확인할 수 있다.
- <87> 도 5c는 본 발명에 따른 레이아웃도이다.
- <88> 도 5c를 참조하면, 센스앰프어레이블록 내의 NMOS트랜지스터(56), 센스앰프 래치의 PMOS부분(57), 센스앰프 래치의 NMOS부분(58), 웰 바이어스(WELL BIAS)(59)로 구성된다. 센스앰프를 구현하는 PMOS와 NMOS 트랜지스터의 게이트 확장방향은 씨줄 방향이다. NMOS트랜지스터(56)를 구성하는 트랜지스터의 게이트 확장방향은 날줄 방향이다. 즉, NMOS트랜지스터(56)의 게이트 확장방향은 다른 게이트들의 확장방향과 서로 수직이다.
- <89> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<90> 전술한 본 발명은 메모리 셀의 데이터 액세스(Access) 시간을 도3a에 비하여 2ns 단축하는 효과를 얻었다. 또한, 면적면에서의 적은 부담으로 tRCD 스펙을 쉽게 만족시킬 수 있는 효과를 얻었다.

【특허청구범위】**【청구항 1】**

컬럼 방향에서 서로 이웃하는 단위메모리셀어레이블록들 사이에 배치된 센스앰프어레이 블록을 갖는 반도체 메모리 장치에 있어서,

상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제1센스앰프구동전원라인;

상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제2센스앰프구동전원라인;

상기 센스앰프어레이블록내에 배치되며, 제1제어신호에 응답하여 상기 제1센스앰프구동전원라인을 국부적으로 다수군데에서 풀업 구동하는 복수의 제1NMOS트랜지스터 ; 및

상기 센스앰프어레이블록의 측면인 홀(HOLE) 내에 배치되며, 제2제어신호에 응답하여 상기 제2센스앰프구동라인을 풀다운 구동하는 제2NMOS트랜지스터

를 포함하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서,

상기 제2NMOS트랜지스터는 상기 제2센스앰프구동전원라인의 저항성분에 대응하는 구동능력을 갖도록 상대적으로 큰 사이즈를 가지며,

상기 제1NMOS트랜지스터는 상기 제2NMOS트랜지스터보다 작은 사이즈를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 1항 또는 제2항에 있어서,

상기 센스앰프어레이블록의 측면인 홀(HOLE) 내에 배치되며, 제1제어신호에 응답하여 상기 제1센스앰프구동전원라인을 풀업 구동하는 제3NMOS트랜지스터를 더 포함하여 이루어진 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서,

상기 제2NMOS트랜지스터는 상기 제2센스앰프구동전원라인의 저항 성분에 대응하는 구동 능력을 갖도록 상대적으로 큰 사이즈를 가지며,
상기 제3NMOS트랜지스터는 상기 제2NMOS트랜지스터보다 작은 사이즈를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 1항 또는 제 2항에 있어서,

상기 제1NMOS트랜지스터들은 상기 센스앰프어레이블록의 각 센스앰프 두개당 하나씩 배치되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 1항에 있어서,

상기 센스앰프를 구성하는 트랜지스터의 게이트 확장방향과, 상기 제1NMOS트랜지스터의 게이트 확장 방향은 실질적으로 서로 수직하게 형성되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

컬럼 방향에서 서로 이웃하는 단위메모리셀어레이블록들 사이에 배치된 센스앰프어레이블록을 갖는 반도체 메모리 장치에 있어서,

상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제1센스앰프구동전원라인;

상기 센스앰프어레이블록을 통과하는 로우방향으로 신장되어 형성된 제2센스앰프구동전원라인;

상기 센스앰프어레이블록내에 배치되며, 제2제어신호에 응답하여 상기 제1센스앰프구동전원라인을 국부적으로 다수군데에서 풀업구동하는 복수의 제1NMOS트랜지스터; 및

상기 센스앰프어레이블록내에 배치되며, 제2제어신호에 응답하여 상기 제2센스앰프구동 전원라인을 국부적으로 다수군데에서 풀다운 구동하는 복수의 제2NMOS트랜지스터
을 포함하는 반도체 메모리 장치.

【청구항 8】

제 7항에 있어서,

상기 센스앰프어레이블록의 측면인 홀(HOLE) 내에 배치되며, 제1제어신호에 응답하여 상기 제1센스앰프구동전원라인을 풀업 구동하는 제3NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 7항 또는 제 8항에 있어서,

상기 센스앰프어레이블록의 측면인 홀(HOLE) 내에 배치되며, 제2제어신호에 응답하여 상기 제2센스앰프구동전원라인을 풀다운 구동하는 제4NMOS트랜지스터를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

제 9항에 있어서,

상기 제3NMOS트랜지스터와 상기 제4NMOS트랜지스터는 상기 제1NMOS트랜지스터와 상기 제2NMOS트랜지스터 보다 작은 사이즈를 갖는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제 9항에 있어서,

상기 제1NMOS트랜지스터들과 제2NMOS트랜지스터들은 상기 센스앰프어레이블럭의 각 센스 앰프 두개당 하나씩 배치되는 것을 특징으로 하는 반도체 메모리 장치.

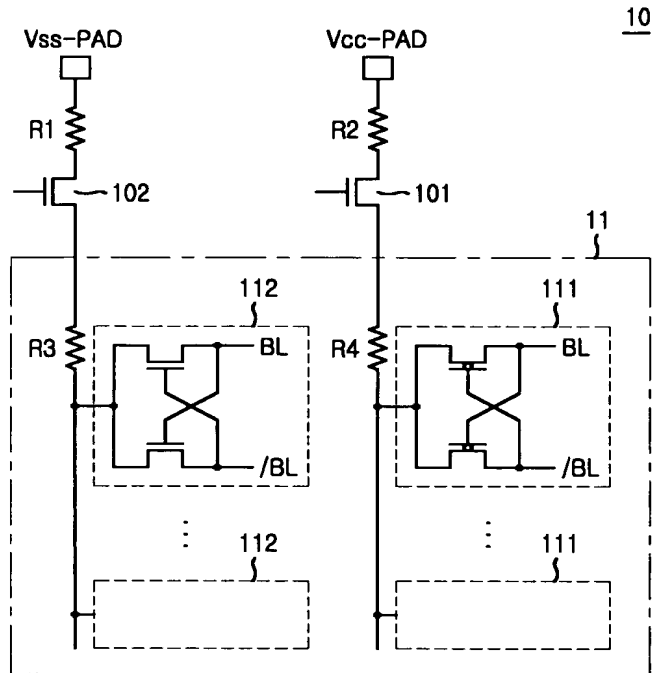
【청구항 12】

제 7항에 있어서,

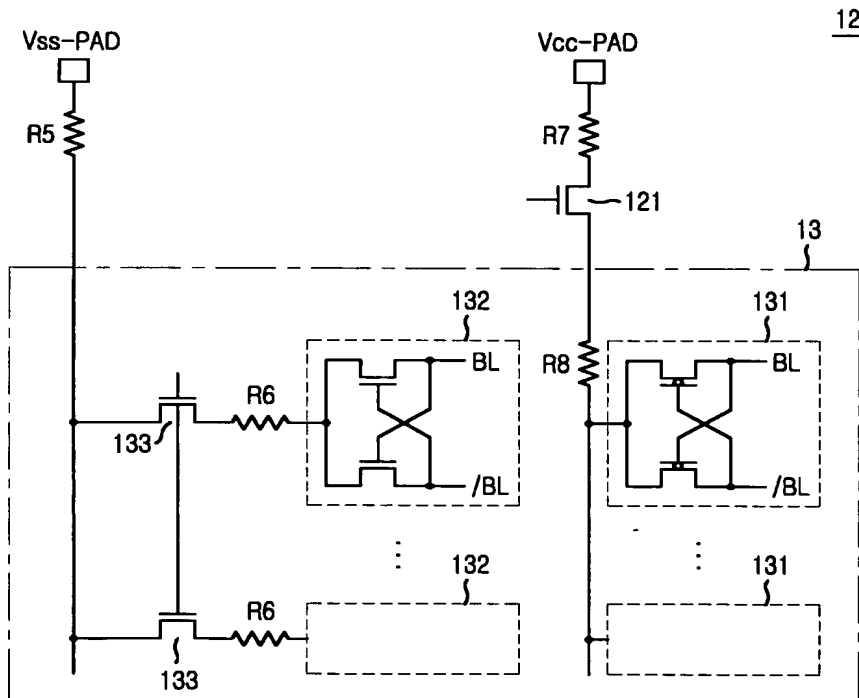
상기 센스앰프를 구성하는 트랜지스터의 게이트 확장방향과, 상기 제1NMOS트랜지스터와 상기 제2NMOS트랜지스터의 게이트 확장방향은 실질적으로 서로 수직하게 형성되는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

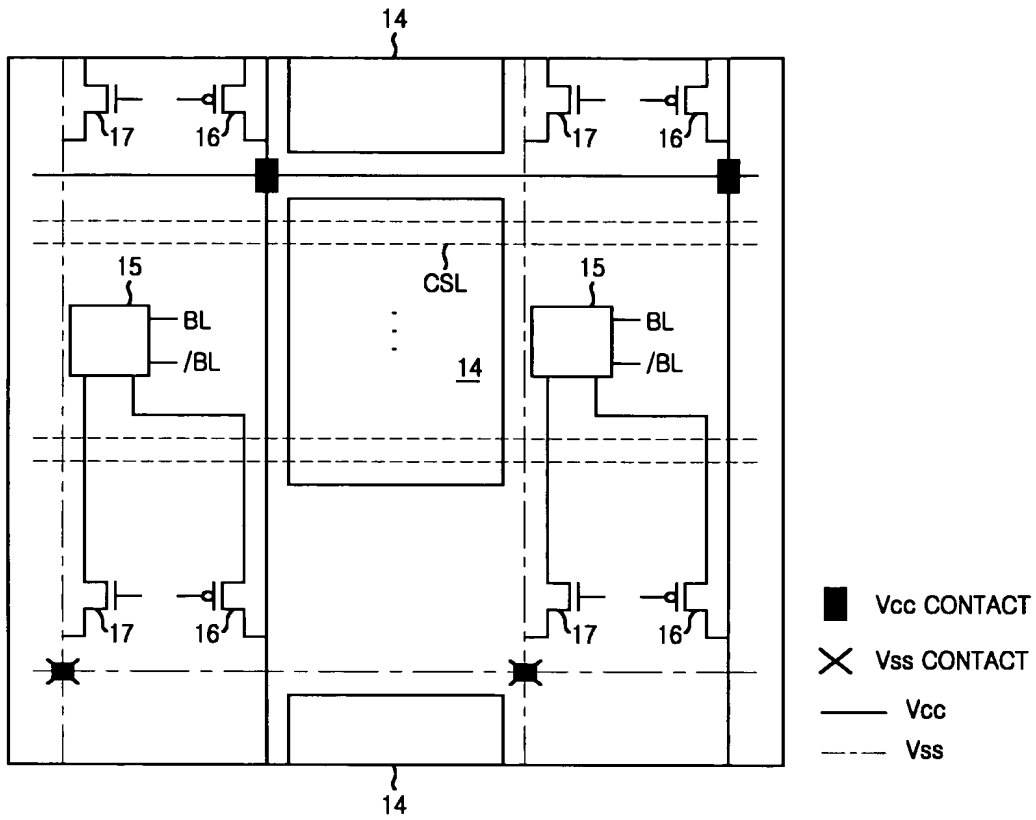
【도 1a】



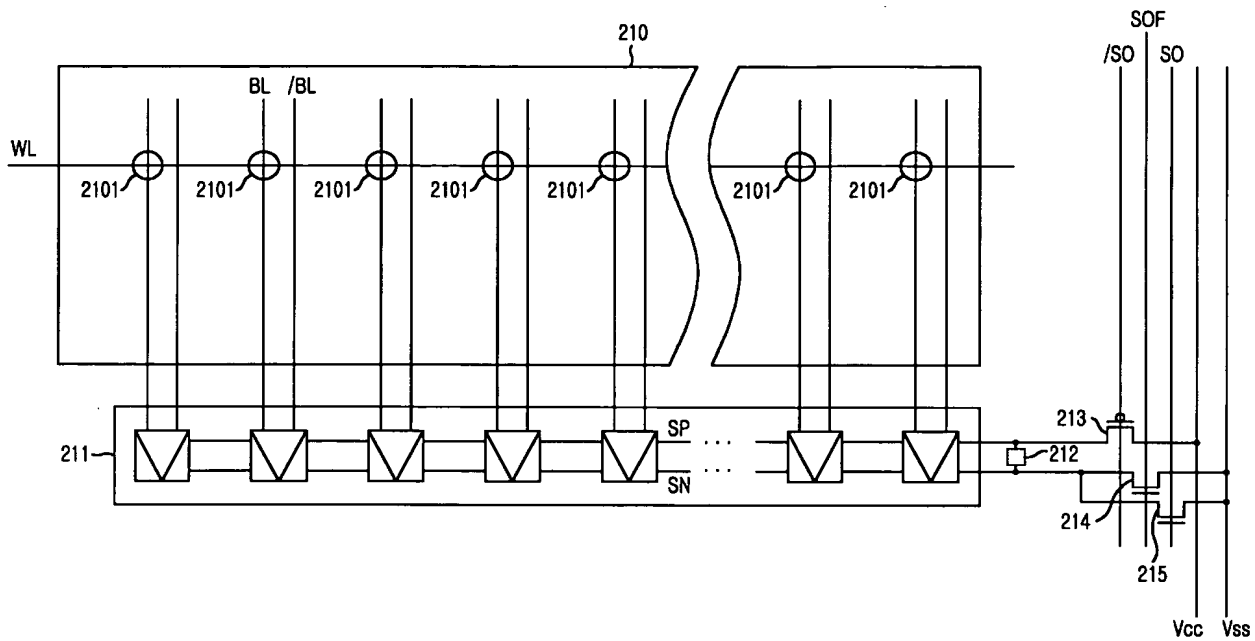
【도 1b】



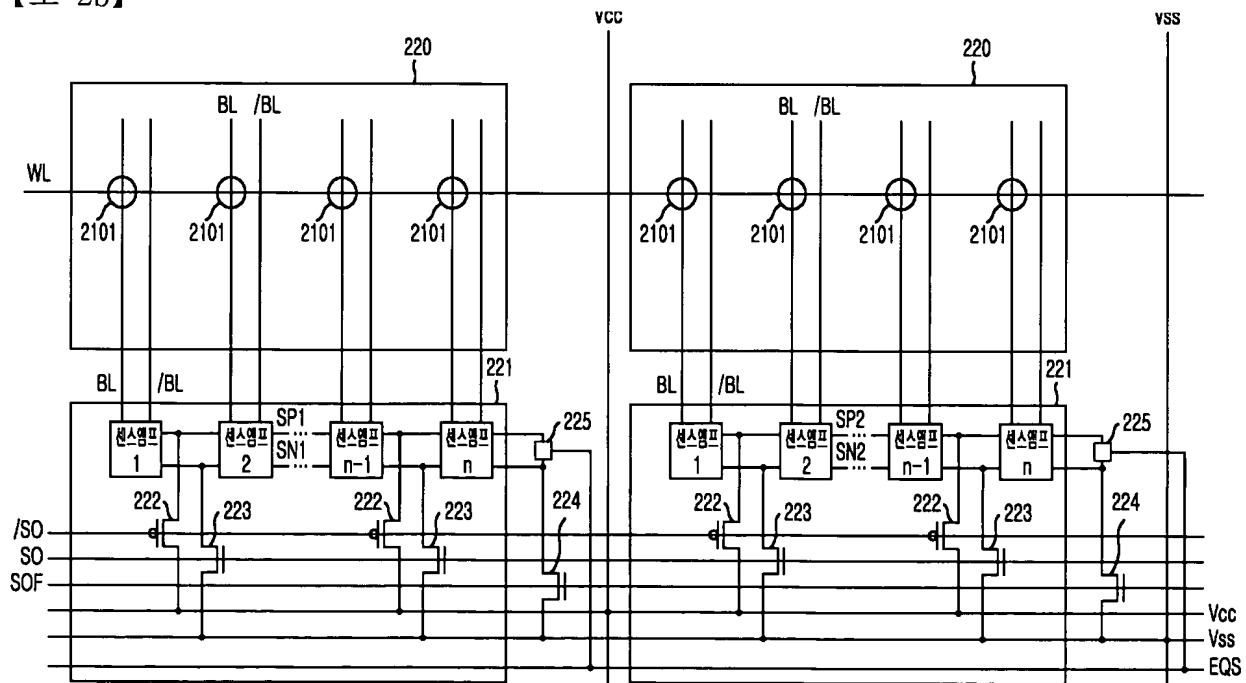
【도 1c】



【도 2a】

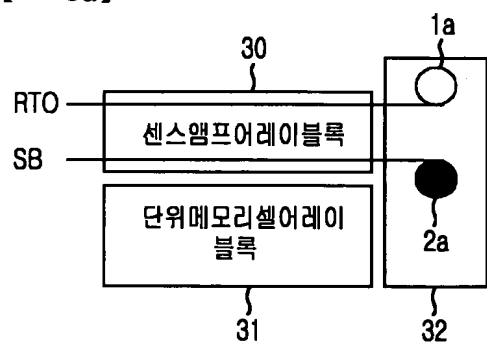


【도 2b】

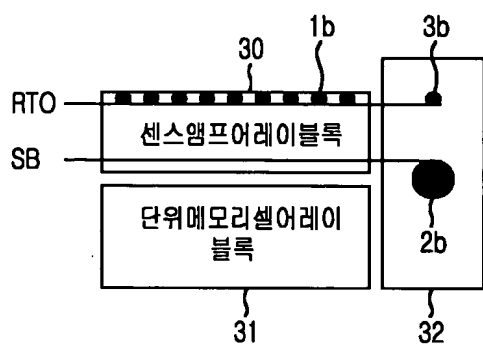




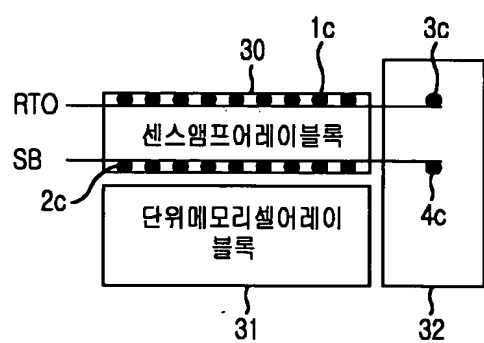
【도 3a】



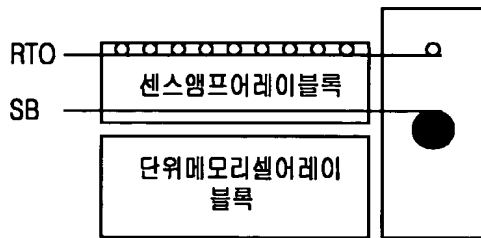
【도 3b】



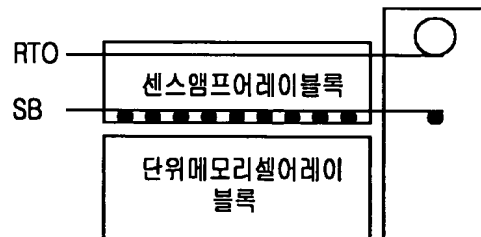
【도 3c】



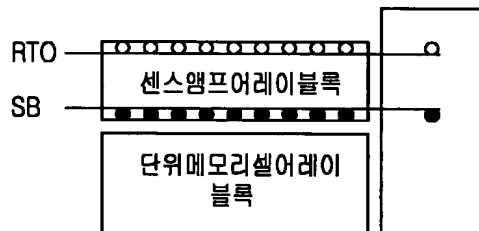
【도 3d】



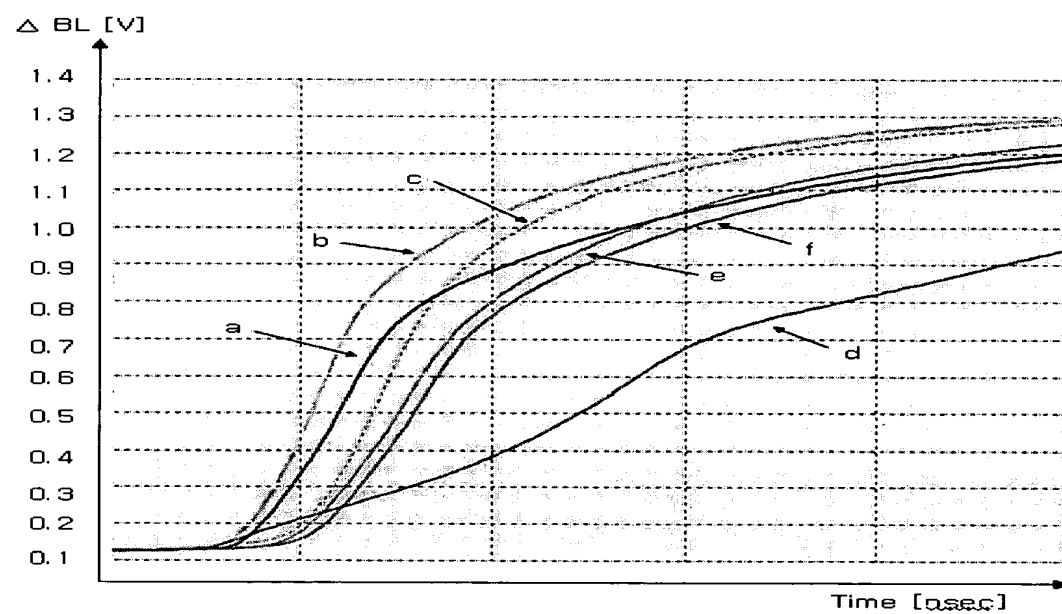
【도 3e】



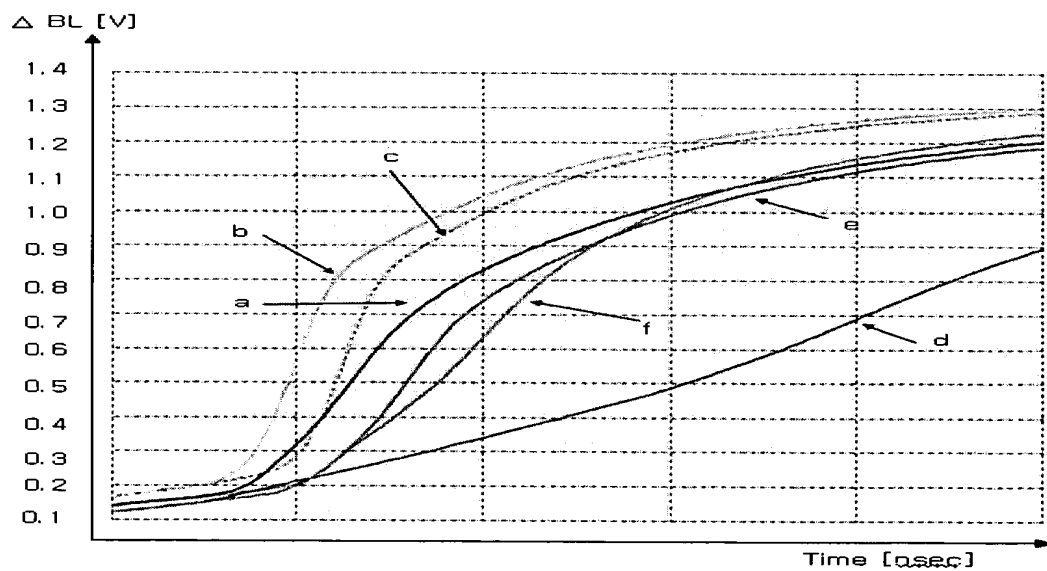
【도 3f】



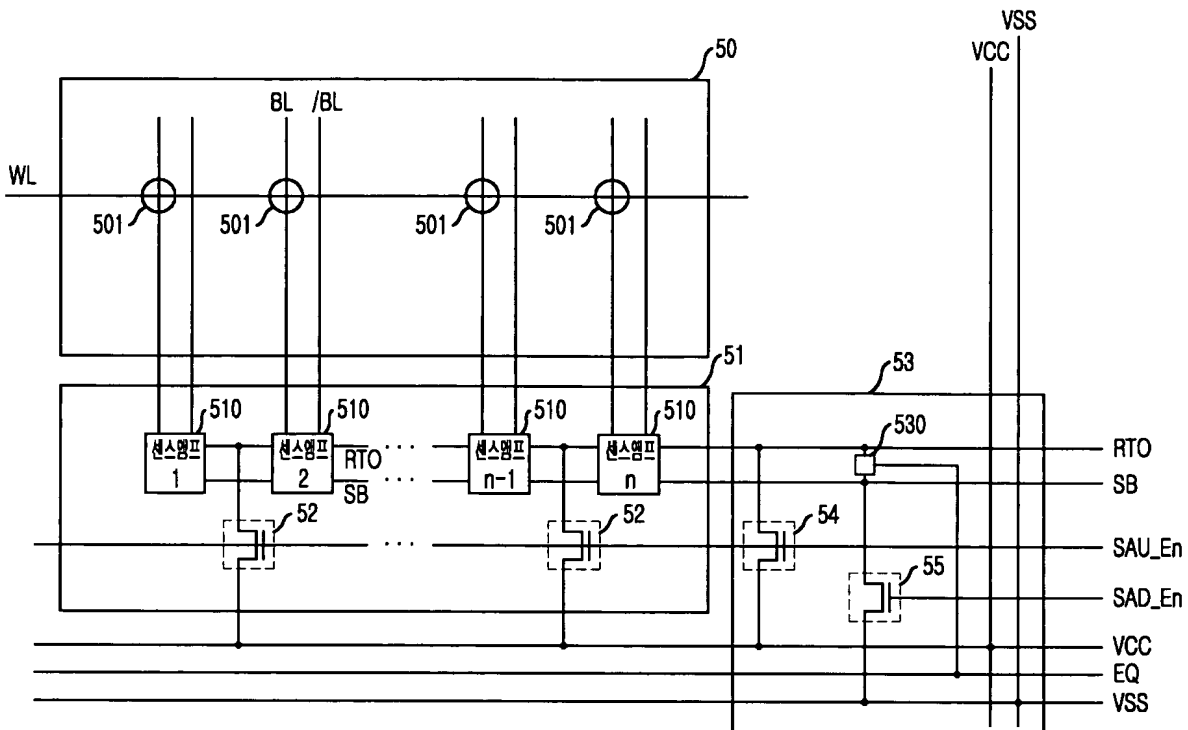
【도 4a】



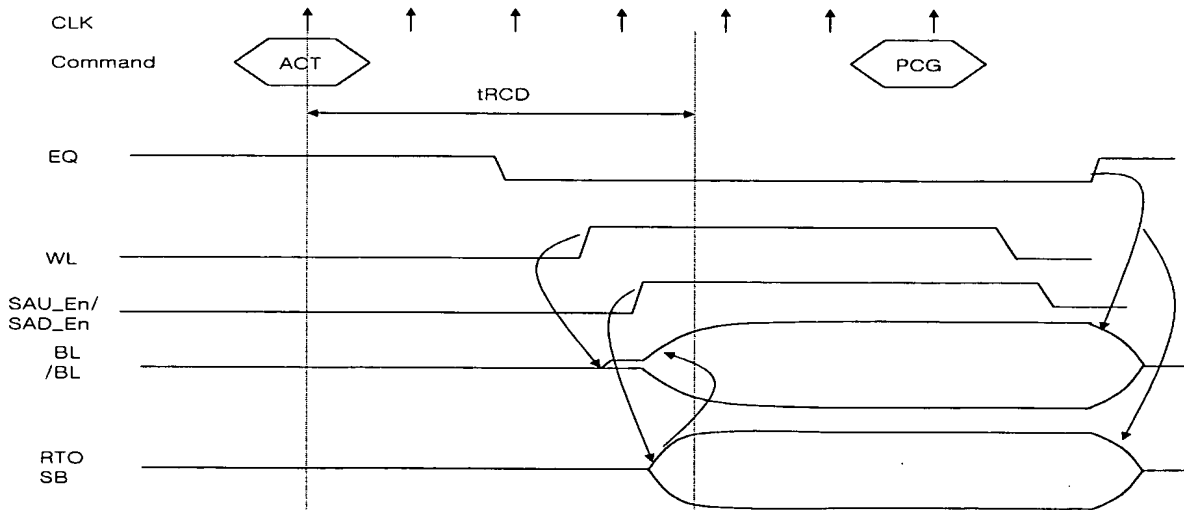
【도 4b】



【도 5a】



【도 5b】



【도 5c】

